

**PRIORITY
DOCUMENT**SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

REC'D - 2 OCT 2000

WIPO

PCT

EU

E 0005772

**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 199 62 763.0

Anmeldetag: 23. Dezember 1999

Anmelder/Inhaber: Fraunhofer-Gesellschaft zur Förderung der
angewandten Forschung eV, München/DE

Bezeichnung: Verfahren zum Vereinzeln eines Wafers

Priorität: 01.07.1999 EP 99 112 540.2

IPC: H 01 L 21/78

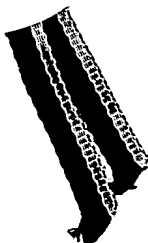
Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Patentanmeldung.



München, den 20. Juli 2000
Deutsches Patent- und Markenamt

Der Präsident
Im Auftrag

Hiebinger





PATENTANWÄLTE

European Patent Attorneys
European Trademark Attorneys

Fritz Schoppe, Dipl.-Ing.
Tankred Zimmermann, Dipl.-Ing.
Ferdinand Stöckeler, Dipl.-Ing.

Telefon/Telephone 089/790445-0
Telefax/Facsimile 089/790 22 15
Telefax/Facsimile 089/74996977
e-mail 101345.3117@CompuServe.com

Patentanwälte · Postfach 710867 · 81458 München
Fraunhofer-Gesellschaft
zur Förderung der
angewandten Forschung e. V.
Leonrodstraße 54
80636 München

Verfahren zum Vereinzeln eines Wafers

Verfahren zum Vereinzeln eines Wafers

Beschreibung

Die vorliegende Erfindung bezieht sich auf die Herstellung von integrierten Schaltungen und insbesondere auf ein Verfahren zum Vereinzeln eines Wafers, der eine Mehrzahl von einzelnen Schaltungsstrukturen aufweist, um sehr dünne Schaltungschips zu erhalten.

Es besteht die Anforderung, für möglichst viele Anwendungen vorprozessierte Chips, die fertig erworben werden können, einsetzen zu können, um z. B. von einem einzelnen Chiphersteller unabhängig zu sein, oder aber um keine eigenen Chips entwickeln zu müssen, was in vielen Fällen den Preis erhöhen würde, sondern um sich lediglich auf die Verschaltung der einzelnen Chipkomponenten konzentrieren zu können, wenn ein neues System entwickelt wird. So haben Untersuchungen gezeigt, daß beispielsweise bei einfachen Silizium-Schaltungschips bis zu 90% der Wertschöpfung des späteren Produkts im Bereich der Aufbau- und Verbindungstechnik liegen, aber nicht bei der Herstellung des Wafers, aus dem durch Vereinzeln die einzelnen Schaltungschips erhalten werden können.

Somit muß auf vorprozessierte Wafer zurückgegriffen werden, um durch Vereinzeln die einzelnen Schaltungschips zu erhalten.

Das U.S.-Patent Nr. 4,722,130 beschreibt ein Verfahren zum Herstellen von Halbleiterchips durch Vereinzeln eines Halbleiterwafers. Hierzu wird ein gitterförmiger Graben in die Vorderseite des Wafers eingebracht, woraufhin eine einseitige Nylon-Klebefolie auf die Vorderseite des Wafers, in der der Graben gebildet ist, aufgebracht wird. Anschließend wird die Rückseite des Trägers abgeschliffen, um den Wafer bis zu einer bestimmten Dicke abzdünnen, wobei die Dicke des

abgedünnten Wafers so gewählt ist, daß die einzelnen, durch die Gräben bereits festgelegten Schaltungschips über relativ dünne Verbindungsstege verbunden sind. Um die einzelnen durch Verbindungsstege verbundene Schaltungschips voneinander zu trennen, wird die Nylon-Klebefolie von einer Seite des Wafers aus abgezogen, was bewirkt, daß die Verbindungsstege zwischen den Schaltungschips aufgrund der Zugwirkung beim Abziehen der Klebefolie springen. Wenn die Klebefolie abgezogen ist, hängen die vereinzelt Chips noch auf einer elastischen Trägerfolie auf der gegenüberliegenden Seite des Chips, die vor dem Abziehen der Nylon-Klebefolie angebracht worden ist. Hierauf wird die elastische Klebefolie transversal auseinandergezogen, was bewirkt, daß die Zwischenräume zwischen den Schaltungschips aufgeweitet werden, was ohne weiteres möglich ist, da die Verbindungsstege bereits gesprungen sind. Dann können die einzelnen Schaltungschips abgenommen werden und an Ort und Stelle eingesetzt werden bzw. weiterverwendet werden. Derart produzierte Schaltungschips haben eine Dicke von etwa 160 μm , wobei von einem Standard-GaAs-Wafer ausgegangen wurde, der eine Dicke von 630 μm hatte, bevor er durch Schleifen abgedünnt wurde.

Nachteilig an diesem Verfahren ist, daß keine sehr dünnen und damit auch sehr empfindlichen Chips erzeugt werden können. Durch das mechanische Dünnen und durch das mechanische Vereinzeln der Chips durch Brechen der Verbindungsstege besteht die Gefahr, daß die einzelnen Chips mechanisch beschädigt werden bzw. rauhe bzw. sogar eingerissene Kanten haben. Solche Probleme sind bei 160 μm dicken Chips noch nicht sehr einschneidend. Sollen jedoch Chips mit einer Dicke kleiner als 50 μm und insbesondere mit einer Dicke von 20 μm hergestellt werden, können solche Risse aufgrund der mechanischen Rückseitenbearbeitung und des mechanischen Brechens der Erfindungsstege zu hohen Produktionsausfällen führen, da aufgrund der sehr geringen Dicke ohne weiteres aktive Bereiche der Chips beeinträchtigt bzw. sogar zerstört werden können.

Die Aufgabe der vorliegenden Erfindung besteht darin, einerseits ein preisgünstiges und andererseits ein dennoch zuverlässiges Verfahren zum Vereinzeln eines Wafers zu schaffen, um sehr dünnen Schaltungschips zu erhalten.

Diese Aufgabe wird durch ein Verfahren nach Patentanspruch 1 gelöst.

Der vorliegenden Erfindung liegt die Erkenntnis zugrunde, daß, um sehr dünne Schaltungschips zu erhalten, mechanische Effekte beim Vereinzeln des Wafers so weit als möglich eliminiert werden müssen. Damit kann die Gefahr der Schädigung der einzelnen Schaltungschips aufgrund mechanischer Effekte stark verringert werden. Bei der Herstellung von sehr dünnen Schaltungschips muß bedacht werden, daß der aktive Bereich eines Schaltungschips sich bereits einige Mikrometer in das Halbleitermaterial hinein erstrecken kann. Wenn an dünne Schaltungschips mit einer Dicke in der Größenordnung von 20 μm gedacht wird, so verbleiben lediglich weniger als 20 μm als "Trägersubstrat" für den aktiven Bereich des Schaltungschips. Erfindungsgemäß wird daher von dem Konzept des mechanischen Vereinzeln abgegangen, das beispielsweise durch Ritzen, Sägen oder Brechen von durch Gräben definierten dünnen Verbindungen, wie es im vorhergehenden ausgeführt worden ist, erreicht wird, und es wird eine Vereinzelnung mittels Trockenätzen von der Waferrückseite durchgeführt.

Erfindungsgemäß wird ein Wafer, der eine Mehrzahl von Schaltungsstrukturen aufweist, derart vereinzelt, daß zunächst ein Graben zwischen zumindest zwei Schaltungsstrukturen definiert wird. Anschließend wird der Graben bis zu einer bestimmten Tiefe ausgeführt. Hierauf wird ein wieder lösbarer Zwischenträger auf der Seite des Wafers befestigt, in der der Graben ausgeführt ist. Dann wird der Wafer von der anderen Seite aus einer Trockenätzung unterzogen, bis die Gräben freigelegt sind. Dadurch ist eine Vereinzelnung erreicht, bei der keine mechanischen Belastungen auf die Schaltungschips ausgeübt worden ist.

Wenn, wie es besonders bevorzugt wird, auch der Graben nicht mechanisch sondern ebenfalls durch Trockenätzen gebildet wird, so wird bei der gesamten Vereinzelung des Wafers überhaupt keine mechanische Belastung auf die einzelnen Schaltungschips ausgeübt. Dies führt dazu, daß auch sehr dünne Schaltungschips erzeugt werden können, ohne daß der Ausschuß besonders ansteigt.

Gemäß einem bevorzugten Ausführungsbeispiel wird der Wafer vor dem Trockenätzen der Rückseite beispielsweise mittels naßchemischem Ätzen oder Schleifen vorgedünnt, wobei das Vordünnen mittels mechanischer Mittel lediglich soweit ausgeführt wird, daß nahezu ausgeschlossen werden kann, daß bereits eine mechanische Beeinträchtigung des Materials aufgetreten ist, das schließlich die Schaltungschips bildet.

Als Zwischenträger wird vorzugsweise eine zweiseitige Haftfolie verwendet, deren eine Seite an einem Wafersubstrat klebt, und deren andere Seite mit dem zu vereinzelnden Wafer verbunden ist und eine variable Haftkraft hat, so daß nach dem Trockenätzen lediglich beispielsweise durch Erwärmen oder durch Bestrahlen mit UV-Strahlung die Haftkraft dieser Seite der Klebefolie derart verringert werden kann, daß die vereinzelter Schaltungschips ohne weiteres gelöst werden können, um weiterverarbeitet zu werden.

Selbst wenn der Graben durch schonende mechanische Verarbeitungsverfahren ausgeführt wird, kann bereits aufgrund des Trockenätzens von der Rückseite aus, um den Wafer zu vereinzeln, eine Mehrzahl von Schaltungschips mit relativ geringer Ausschußrate erzeugt werden. Solche Schaltungschips können eine Dicke haben, die kleiner als 50 μm ist und insbesondere bei 20 μm liegt und sogar auf bis zu 5 μm reduziert werden kann.

Wenn jedoch, wie es bevorzugt wird, auch der Graben durch Trockenätzen, also sehr materialschonend, erzeugt wird, so

ergeben sich noch einige weitere Vorteile, indem überhaupt keine mechanischen Belastungen auf die Bereiche des Wafers ausgeübt werden, die schließlich die dünnen Schaltungschips ergeben.

Generell ist das Ausführen des Grabens unter Verwendung einer Maske für das Ätzen aufgrund der Tatsache, daß der Graben nicht besonders tief zu sein braucht, da die Chips sehr dünn sind, relativ schnell, so daß im Vergleich zum Sägen eines Wafers, das insbesondere bei kleinen Chips und Scheiben mit einem Durchmesser von 20 bis 30 cm bis zu mehrere Stunden dauern kann, eine wesentliche Durchsatzerhöhung erreichbar ist. Darüberhinaus passen ebenfalls im Vergleich zum Sägen insbesondere bei kleinen Chips wesentlich mehr Chips auf einen Wafer, da Sägegräben im allgemeinen eine Dicke von etwa 100 μm haben, während für trocken geätzte Gräben bis zu der angestrebten Tiefe, die in etwa der Dicke der Schaltungschips entsprechen wird, lediglich 10 μm benötigt werden. Insbesondere bei kleinen Chips kann die Chipanzahl pro Wafer um bis zu 10 bis 15% gesteigert werden.

Die Chips sind aufgrund der Ätzbehandlung zumindest ihrer Rückseite und vorzugsweise auch ihrer Seitenkanten mechanisch integer, was besonders dann wichtig ist, wenn die Chips gebogen werden müssen, wie es beispielsweise der Fall sein kann, wenn sie in elektronischen Etiketten eingesetzt werden müssen.

Schließlich sind insbesondere durch Trockenätzen des Grabens beliebige Chipformen möglich, also nicht nur rechteckige Formen, wie es beim Sägen der Fall ist, was besonders für Leistungshalbleiter entscheidend sein kann, da Chipecken eliminiert werden können, welche ansonsten sehr hohe elektrische Felder erzeugen. Schließlich kann auch die Lage der Chips von hinten eindeutig identifiziert werden, was z. B. beim Die-Bonden und beim Erkennen von guten und schlechten Chips von großem Vorteil sein wird.

Vorteilhaft an der vorliegenden Erfindung ist, daß dünne Chips ohne große Ausfallraten erhalten werden können. Insbesondere in der Leistungselektronik, in der Chipdicken bereits bei 100 bis 150 μm verwendet und noch dünnere Bauelemente wünschenswert sind, können erfindungsgemäß vereinzelt Chips zum Einsatz kommen.

Darüberhinaus ergeben sich völlig neue Einsatzmöglichkeiten für Halbleiterelemente mit Chipdicken unter 50 μm , da das Halbleitermaterial mit abnehmender Dicke mehr und mehr flexibel wird. So können beispielsweise Chips mit einer Dicke von 25 μm nach Kontaktierung mit ebenso dünnen Antennenspulen als mechanisch flexible Sende- und Empfangsmodule für berührungslose Identifikationssysteme (Transponder) oder als Chips für elektronische Etiketten (Smart Labels) eingesetzt werden.

Eine ebenfalls neue Anwendungsmöglichkeit für sehr dünne Chips ist die Möglichkeit, diese Chips zu Chipsystemen zu integrieren. So können mehrere flache mikroelektronische Schaltungschips zu einem multifunktionalen Chipsystem zusammengefügt werden, ohne dabei das Volumen des Bauteils wesentlich zu vergrößern. Dies ist z. B. für tragbare Telekommunikationsgeräte von Vorteil.

Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend bezugnehmend auf die beiliegenden Zeichnungen detailliert erläutert. Es zeigen:

Fig. 1 eine Draufsicht auf einen Wafer mit einer Mehrzahl von Schaltungschips, in dem ein Graben definiert ist;

Fig. 2 eine Querschnittsansicht des Wafers von Fig. 1, in dem der Graben ausgeführt ist;

Fig. 3 eine Ansicht des Wafers von Fig. 2, der an einem Zwischenträger befestigt ist;

Fig. 4 eine Ansicht des Wafers von Fig. 3 nach dem Dünnen des Wafers unter Verwendung eines Trockenätzverfahrens; und

Fig. 5 die einzelnen Schaltungschips, nachdem sie vom Zwischenträger entfernt worden sind.

Fig. 1 zeigt eine Draufsicht auf einen Ausschnitt eines Wafers 10, der eine Mehrzahl von fertig prozessierten einzelnen Schaltungsstrukturen 12a, 12b aufweist. Auf dem Wafer 10 ist bereits ein Graben 14 definiert. Das Definieren des Grabens 14 kann beispielsweise im Falle des mechanischen Erzeugens des Grabens 14 durch Eingeben der Koordinaten für eine Säge- oder eine Ritzeinrichtung stattfinden. Im Falle des Erzeugens des Grabens 14 unter Verwendung eines Trockenätzverfahrens wird der Graben durch Aufbringen einer Lackmaske mit Seitenwandschutz durch Polymerabscheidung gebildet. Alternativ kann die Ätzmaske, die den Graben 14 definiert, auch als SiO_2 -Maske ausgeführt sein. Zusammenfassend können sämtliche Verfahren zum Bilden einer Ätzmaske eingesetzt werden, um den Graben 14 zu definieren.

Fig. 2 zeigt eine Querschnittsdarstellung entlang der Linie A-A von Fig. 1 durch den Wafer 10, nachdem der Graben 14 bis zu einer bestimmten Tiefe d ausgeführt ist. Die vorbestimmte Dicke wird zumindest gleich der Zieldicke des herzustellen- den Schaltungschips gewählt, so daß die Schaltungschips später ohne mechanische Einwirkungen vereinzelt werden können.

Wird beispielsweise der Prozeß mit Polymerabscheidung eingesetzt, so kann als Ätzgas SF_6 und als Polymerschut CHF_3 und C_2F_6 eingesetzt werden.

Wird ein Prozeß mit einer SiO_2 -Maske eingesetzt, so kann als Ätzgas ein Gemisch aus HBr , Cl_2 , O_2 und He eingesetzt werden. Darüberhinaus können sämtliche anderen bekannten Trockenätzverfahren eingesetzt werden. Das Trockenätzen all-

gemein hat den wesentlichen Vorteil, daß die Ränder der Schaltungschips im Gegensatz zu einer mechanischen Ausführung des Grabens nicht mechanisch beansprucht werden und somit stabil sind.

Fig. 3 zeigt den mit dem Graben 14 versehenen Schaltungschip 10, nachdem er an einem Zwischenträger befestigt ist, der sich aus einem Substratwafer 16a und aus einem Haftmedium 16b zusammensetzen kann. Als Haftmedium 16b wird vorzugsweise eine beidseitig haftende Klebefolie eingesetzt, deren eine Seite eine spezielle Beschichtung hat, die nach Erwärmung auf beispielsweise 90 bis 140°C ihre Haftkraft verliert. Die andere Seite hat dabei keine variierende Haftkraft. Die Trägerfolie wird derart angebracht, daß die Seite mit der nicht-variierenden Haftkraft mit dem Waferträger 16a verbunden ist, während die Seite mit variierender Haftkraft mit dem Halbleiterwafer 10 verbunden wird, wie es in Fig. 3 gezeigt ist. Eine wesentliche Eigenschaft des Zwischenträgers 16a, 16b besteht darin, daß die Klebeverbindung mit dem Wafer 10 wieder gelöst werden kann. Ferner ist eine vollflächige lunkerfreie Verbindung von Vorteil.

Alternative Materialien für das Haftmedium 16b sind Thermoplastmaterialien oder Klebefolien, deren Haftkraft nicht durch Wärme, sondern durch UV-Licht variierbar ist. Falls UV-lichtempfindliche Folien eingesetzt werden, so muß das Trägersubstrat 16a transparent sein. In diesem Falle kann als Trägersubstrat ein Glaswafer zum Einsatz kommen.

Nach dem Aufkleben des Wafers 10 an dem Zwischenträger 16a, 16b wird der Wafer, wie es in Fig. 4 gezeigt ist, von der Rückseite her gedünnt. Falls der Ausgangswafer 10 bereits relativ dünn ist, so dürfte es ausreichend sein, daß lediglich ein Trockenätzverfahren eingesetzt wird, um die einzelnen Schaltungschips voneinander zu trennen, d. h. um die Rückseite mindestens bis zum Graben zu entfernen. Liegt jedoch ein dicker Wafer beispielsweise mit einer Dicke von 700 µm vor, was für käufliche Wafer ein typischer Wert ist, so

wird es bevorzugt, vor dem abschließenden Trockenätzschritt zum Vereinzeln der Schaltungschips ein schnelleres Verfahren einzusetzen, wie z. B. mechanisches Schleifen, Naßätzen oder ähnliches. Ein Verfahren, das sich als vorteilhaft herausgestellt hat, ist das sogenannten Spin-Ätzen. Hier liegt der Wafer auf einem rotierenden Teller, während von oben das Ätzmedium auf die Scheibe fließt und von dort abgeschleudert wird.

Ist der Wafer dann auf eine vorbestimmte Dicke vorgedünnt, so verbleibt der letzte Schritt des Vereinzeln dem Trockenätzverfahren. Zum Ätzen wird die Halogen/Wasserstoff-Chemie des Siliziums ausgenutzt. Zum Einsatz kommen halogenhaltige Ätzgase bzw. deren Mischungen und Zusatzgase. Beispielhafte Mischungen sind Cl_2/CF_4 , Cl_2/NF_3 , SF_6/O_2 oder $\text{Cl}_2/\text{HBr}/\text{O}_2:\text{He}$. Die Zusatzgase fördern entweder die Zersetzung der halogenhaltigen Gase oder die Ausbildung leichter flüchtiger Reaktionsprodukte.

Wie es in Fig. 4 gezeigt ist, sind nun einzelne Schaltungschips 18, 20, 22 und 24 entstanden, welche nicht mehr miteinander in Verbindung stehen sondern lediglich durch das Haftmedium 16b gehalten werden. Im Falle einer Verwendung der zweiseitig klebende Folie mit einer Seite mit variabler Haftkraft können die einzelnen Schaltungschips 18, 20, 22, 24 nun ohne weiteres durch Verändern der Haftkraft entfernt werden, um dann, wie es in Fig. 5 gezeigt ist, völlig unabhängig voneinander vorzuliegen, um dann von einer Bestückungsmaschine oder einer ähnlichen Vorrichtung aufgenommen zu werden, um an ihrem letztendlichen Bestimmungsort untergebracht zu werden.

Es sei darauf hingewiesen, daß dieses Verfahren nicht nur für Siliziumwafer geeignet ist, sondern auch für GaAs-Wafer, welche aufgrund ihrer Sprödigkeit mechanisch besonders anfällig sind, sowie für andere III-V-Halbleiter. Selbstverständlich werden für andere Halbleitermaterialien als Silizium auch andere Ätzgase als die genannten eingesetzt.

Die vereinzelt dünnen Schaltungschips 18, 20, 22, 24 können in elektronischen Bauteilen und Systemen eingesetzt werden, welche einen extrem geringen Volumenbedarf erfordern, wie z. B. in mobilen Telekommunikationssystemen oder in medizinischen Überwachungs- und Hilfssystemen, wie Hörgeräten, Herzschrittmachern, am Körper getragenen Überwachungs- und Diagnosegeräten, usw.

Andere Einsatzmöglichkeiten sind elektronische Bauteile, welche für eine elektrische Signalübertragung optimiert sind, wie z. B. Hochfrequenzbauelemente.

Schließlich können die erfindungsgemäß vereinzelt dünnen Schaltungschips zu Schaltungsmodulen kombiniert werden, welche Einzelkomponenten aus unterschiedlichen Grundmaterialien umfassen, oder bei denen Chips aus unterschiedlichen Fertigungstechnologien zusammengesetzt sind. Superdünne Schaltungschips können besonders bei Systemen aus Speicher-Chips, Logik-Chips, Sensorbauelementen, Chipkarten-Chips, Leistungsbaulementen oder Hochfrequenzübertragungschips (Transponder) zum Einsatz kommen.

Erfindungsgemäß erzeugte dünne Schaltungschips tragen aufgrund ihrer sehr geringen Dünne nur als dünner Film zum gesamten Bauelementevolumen bei. Ein komplettes Chipsystem, das beispielsweise aus einem normalen Chip und einem superdünnen Chip besteht, ist letztendlich nicht wesentlich größer als ein üblicher integrierter Schaltkreis.

Aufgrund der geringen Dicke der vereinzelt Schaltungschips können nun auch Oberflächenbearbeitungstechniken zur Kontaktierung und Verdrahtung einzelner Chips in einem Multi-Chip-Modul unter Verwendung üblicher Techniken eingesetzt werden, die plane bzw. nahezu plane Oberflächen erfordern.

Patentansprüche

1. Verfahren zum Vereinzeln eines Wafers (10), der eine Mehrzahl von Schaltungsstrukturen (12a, 12b) aufweist, mit folgenden Schritten:

Definieren eines Grabens (14) zwischen zumindest zwei Schaltungsstrukturen (12a, 12b) auf einer Seite des Wafers (10);

Ausführen des Grabens (14) bis zu einer bestimmten Tiefe (d);

Befestigen eines wieder lösbaren Zwischenträgers (16a, 16b) an der einen Seite des Wafers (10);

Trockenätzen des an dem Zwischenträger (16a, 16b) befestigten Wafer von der anderen Seite aus, um Schaltungschips (18, 20, 22, 24) zu erhalten, die durch den Zwischenträger (16a, 16b) gehalten werden; und

Entfernen der Schaltungschips (18, 20, 22, 24) von dem Zwischenträger (16a, 16b).

-
2. Verfahren nach Anspruch 1, bei dem der Schritt des Ausführens des Grabens (14) das Trockenätzen der Seite des Wafers, auf der der Graben definiert ist, aufweist.

3. Verfahren nach Anspruch 1 oder 2, bei dem der Schritt des Trockenätzens der anderen Seite des Wafers (10) so lange ausgeführt wird, bis die Schaltungschips eine Dicke haben, die kleiner als 50 μm ist und vorzugsweise 20 μm beträgt.

-
4. Verfahren nach Anspruch 1 oder 2,

bei dem das Ausführen des Grabens derart durchgeführt wird, daß eine vorbestimmte Tiefe erreicht ist, die

gleich einer Ziel-Chipdicke ist; und

bei dem der Schritt des Trockenätzens der anderen Seite des Wafers so lange ausgeführt wird, bis der Graben im wesentlichen erreicht ist.

5. Verfahren nach einem der vorhergehenden Ansprüche,

bei dem vor dem Schritt des Trockenätzens der anderen Seite des Wafers (10) ein Schritt des Vordünnens ausgeführt wird, derart, daß die Schaltungschips noch über den Graben (14) hinweg miteinander verbunden sind und die Dicke dieser Verbindung einen bestimmten Wert hat.

6. Verfahren nach Anspruch 5, bei dem der Schritt des Vordünnens das Schleifen, das naßchemische Ätzen oder eine Kombination derselben aufweist.

7. Verfahren nach einem der vorhergehenden Ansprüche, bei dem der Schritt des Befestigens an einen Zwischenträger (16a, 16) die Verwendung eines Haftmediums (16b) mit variabler Haftkraft aufweist.

-
- ~~8. Verfahren nach Anspruch 7, bei dem das Haftmedium (16b) eine beidseitig haftende Klebefolie ist, wobei die Seite der Haftfolie, die an der einen Seite befestigt ist, die variable Haftkraft aufweist.~~

9. Verfahren nach Anspruch 7 oder 8, bei dem das Haftmedium (16b) derart beschaffen ist, daß die Haftkraft durch Erwärmen reduziert wird; und
-

bei dem der Schritt des Entfernehmens folgenden Schritt aufweist:

Erwärmen des Zwischenträgers (16a, 16b), bis die Schaltungschips von dem Zwischenträger gelöst werden können.

10. Verfahren nach Anspruch 7 oder 8, bei dem das Haftmedium derart beschaffen ist, daß die Haftkraft durch Bestrahlung mit UV-Licht reduziert wird;

bei dem der Zwischenträger einen Glaswafer (16a) aufweist; und

bei dem der Schritt des Entfernens folgenden Schritt aufweist:

Einstrahlen von UV-Licht durch den Glaswafer (16a) auf das Haftmedium (16b), bis die Schaltungschips (18, 20, 22, 24) von dem Zwischenträger gelöst werden können.

11. Verfahren nach einem der Ansprüche 2 bis 9, bei dem im Schritt des Definierens des Grabens ein Graben mit zumindest einem runden Abschnitt definiert wird.

12. Verfahren nach einem der vorhergehenden Ansprüche, bei dem der Wafer aus Si, GaAs oder einem anderen III-V-Halbleiter besteht.

13. Verfahren nach einem der Ansprüche 2 bis 12, bei dem ~~der Schritt des Definierens das Aufbringen einer SiO₂-~~ Maske oder einer Lackmaske mit Seitenwandschutz durch Polymerabscheidung aufweist.
-

Verfahren zum Vereinzeln eines Wafers

Zusammenfassung

Bei einem Verfahren zum Vereinzeln eines Wafers, der eine Mehrzahl von einzelnen Schaltungsstrukturen aufweist, wird zunächst ein Graben zwischen zumindest zwei Schaltungsstrukturen auf einer Seite des Wafers definiert. Anschließend wird der Graben bis zu einer bestimmten Tiefe ausgeführt. Hierauf wird ein wieder lösbarer Zwischenträger an der einen Seite des Wafers befestigt, um dann den Wafer von der anderen Seite aus trocken zuätzen, so daß Schaltungschips erhalten werden, die nur noch über den Zwischenträger miteinander verbunden sind. Anschließend werden die Schaltungschips von dem Zwischenträger entfernt. Durch dieses Verfahren werden mechanische Beeinträchtigungen beim Vereinzeln der Schaltungschips wesentlich reduziert, was zum einen die Herstellung von unter 50 μm dicken Schaltungschips ermöglicht, und was zum anderen zu mechanisch im wesentlichen integren Schaltungschips führt.

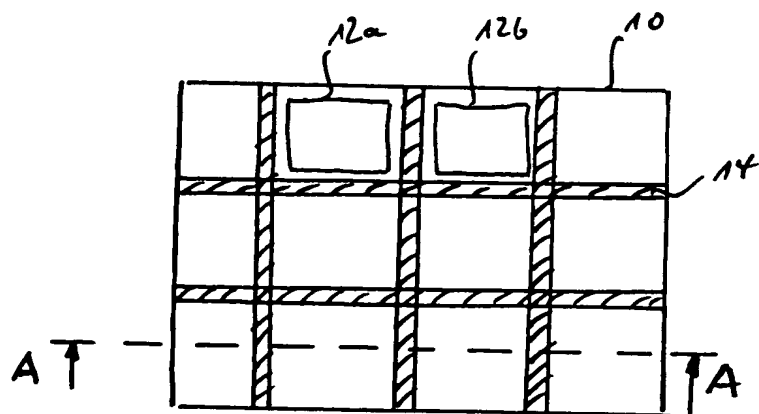


Fig. 1

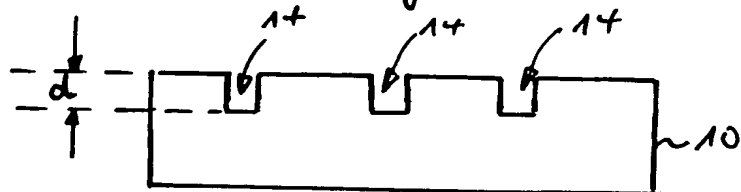


Fig. 2

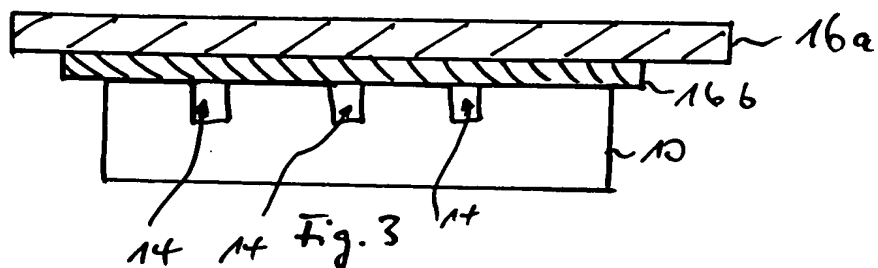


Fig. 3

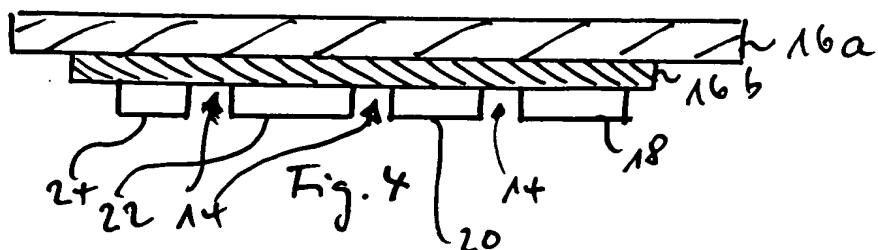


Fig. 4

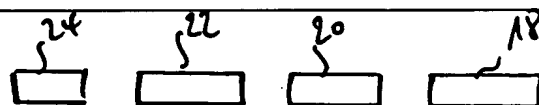


Fig. 5

THIS PAGE BLANK (USPTO)



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

PCT/EP00/05772
10/019138

EU

REC'D 21 SEP 2000

WIPO

PCT

Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

99112540.2

PRIORITY DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

I.L.C. HATTEN-HECKMAN

DEN HAAG, DEN
THE HAGUE,
LA HAYE, LE

01/09/00

THIS PAGE BLANK (USPTO)



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

Blatt 2 der Bescheinigung
Sheet 2 of the certificate
Page 2 de l'attestation

Anmeldung Nr.:
Application no.: 99112540.2
Demande n°:

Anmeldetag:
Date of filing: 01/07/99
Date de dépôt:

Anmelder:
Applicant(s):
Demandeur(s):
FRAUNHOFER-GESELLSCHAFT ZUR FÖRDERUNG DER ANGEWANDTEN FORSCHUNG E.V.

80636 München
GERMANY

Bezeichnung der Erfindung:
Title of the invention:
Titre de l'invention:

Thin chip integration, TCI-Modules a novel technique for manufacturing of three dimensional IC-packages

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s) revendiquée(s)

Staat:
State:
Pays:

Tag:
Date:
Date:

Aktenzeichen:
File no.
Numéro de dépôt:

Internationale Patentklassifikation:
International Patent classification:
Classification internationale des brevets:

/

Am Anmeldetag benannte Vertragsstaaten:
Contracting states designated at date of filing: AT/BE/CH/CY/DE/DK/ES/FI/FR/GB/GR/IE/IT/LI/LU/MC/NL/PT/SE
Etats contractants désignés lors du dépôt:

Bemerkungen:
Remarks:
Remarques:

THIS PAGE BLANK (USPTO)

Thin Chip Integration, TCI-Modules

A Novel Technique for Manufacturing of Three Dimensional IC-Packages

Introduction:

During the last years the demand to minimize the package outline and the use of bare die packaging has become an important driver for new packages like chip on flex, CSP or flip-chip on board. During this progress thin packages have been developed e.g. IC housings for smart card. The necessity for enhanced functionality, added memory or more complex μ -controllers demands more than one IC per package and increases the package size drastically. To overcome this disadvantage a novel low cost multi-chip-CSP with a "Thin Chip Integration" concept (TCI) was developed. Key element of this novel technology are extremely thin completely processed wafers and chips, which has become an outstanding technical competence of the Fraunhofer Institute for Reliability and Microintegration in Munich. The capability to handle 10 - 30 μm thin IC-devices now offers a new approach to a cost effective chip assembly and interconnection technique:

In contrast to existing packaging techniques the TCI concept uses 20 μm thin chips mounted to a base chip by a conventional adhesive. This technology replaces the conventional substrate. The design for the electrical wiring within the chip arrangement can be selected by the customer. The following metallization processes are done on wafer-level as well as the final standard wafer-level CSP process. This device represents a *chip size system-on-chip for medical, robotics or communication applications.*

Technical description of the TCI-concept

Base-Wafer

Process flow for TCI modules starts up with one type of bottom-wafer carrying large base chips.

Top-IC & Thinning Technology

The completely processed device wafers for the top-IC have to be mounted on a carrier substrate by a reversible adhesive bond and undergo a backside thinning process until the thinned wafers show a remaining thickness of approx. 20 μm .

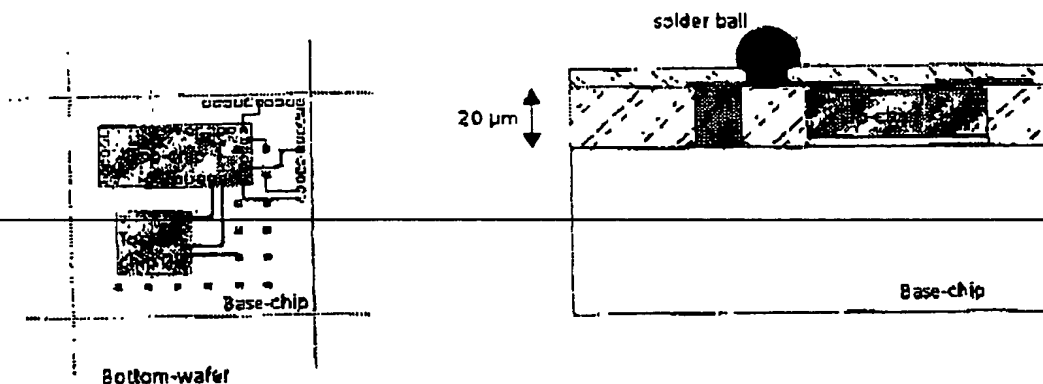


Fig. 1: Top view and side view of the TCI module; a wafer level CSP process is suggested for the metallization scheme.

The thinned top-wafer and its carrier substrate are diced by a conventional wafer saw. Thus preparing thin chips that can be handled by its carrier chip just like any other standard die.

Die-Bonding

The bottom wafer is coated with a thin epoxy film and the thinned top-chips are placed and mounted into this adhesive layer. This step is done by die-bonder equipment. Depending on padsize and pitch of the IC used aligned placement may be desirable for highly integrated wiring systems. After placing the top chips onto the bottom wafer, the epoxy film is cured, the carrier chips are removed and free standing epoxy surface is removed by plasma treatment.

Dielectric layer and metallization

Now dielectric polymer is spun onto the surface to planarize the 20 μm topography of the mounted thin chips, vias are etched and subsequently filled by electroless plating (e.g. electroless nickel process). Finally a thin film metal layer connects the circuits of top- and base-chips.

Standard Wafer Level CSP Process

A final CSP process, using a solderable metal layer and solder bump deposition completes manufacturing of the TCI module.

Current state of development

The preparation of extremely thin CMOS-wafers and the handling techniques for 20 μm thin chips have been developed. This has become a standard process for the

manufacturing of thin IC. Thinning can be done with standard semiconductor equipment and is fully compatible to the requirements of high volume production.

A standard wafer sawing process can be used for chip dicing. A combination of thinning and dicing process steps should be used. ("dicing by thinning").

Chip mounting is supposed to be made by a state of the art die-bonder. The aim is a pick-and-place routine using auto alignment with a positioning accuracy of approximately $\pm 20 \mu\text{m}$. This item is to be discussed in conjunction with the design rules for the metallization layer and the wiring density.

Planarizing the wafer topography by polymer spin-coating (may be supported by CMP polishing) is an established technique but has to be adapted to the specific requirements in TCI module fabrication.

The metallization scheme is well established at the

The valuation of the current state of the TCI module development gives the following result:

- all single process steps are approved, fabrication can be done with standard equipment,
- a TCI module demonstrator must be fabricated to show limitations of the complete process flow,
- reliability of the modules has to be tested.

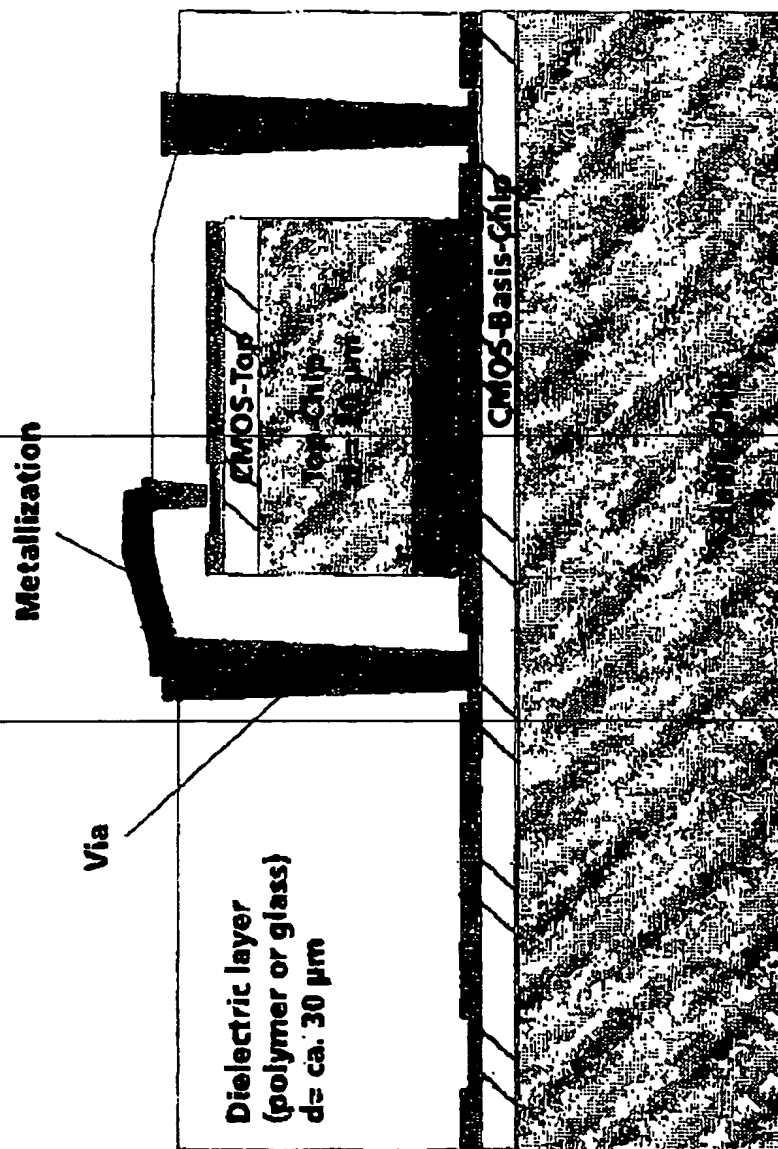
What is claimed is:

1. A method of packaging microchips, comprising the following steps:

- providing one type of bottom-wafer carrying large base chips
 - mounting the completely processed device on a carrier substrate by reversible adhesive bond and undergo a backside thinning process until the thinned wafer show a remaining thickness of approximately 20 μm
 - dicing the thinned top-wafer and its carrier substrate
-
- coating the bottom wafer with a thin epoxy film and the thinned top-chips are placed and mounted into the adhesive layer
 - after curing the epoxy film, removing the carrier chips
 - planarizing the surface with dielectric polymer
 - etching vias and filling them with metal
-
- connecting the circuits of top- and bottom-chips with a thin film metal layer

2. Device manufactured according to claim 1.

Thin Chip Integration, TCI-Module



Applications:

Thin Chip Integration:
chip size system-on-chip

Novel metallization scheme
for optimized high frequency
signal transmission

01-07-1999

EP99112540.2

+49 89 239944

SPEC



Fraunhofer Pat ntstelle für die
Deutsche Forschung

Telefax-Nachricht

Europäisches Patentamt
80298 München

Leonrodstraße 68
D-80636 München

Tel. +49 (0) 89 / 12 05-
Fax +49 (0) 89 / 12 05-

Fax-Nr: 089-2399-4465

12 Seite/n (einschließlich dieser Seite)

München, 1. Juli 1999